

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

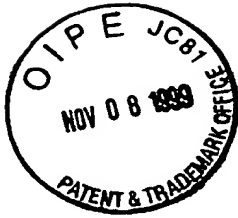
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**



RECEIVED

NOV 09 1999

GROUP 2700

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Group Art Unit : 2731
Applicants : Seisho YASUKAWA, et al.
Serial No. : 09/376,904
Filed : August 18, 1999
For : ATM SWITCH
Assistant Commissioner for
Patents
Washington, D.C. 20231

CLAIM TO CONVENTION PRIORITY UNDER 35 U.S.C. 119

S I R :

A claim to the Convention Priority Dates of the following Japanese Patent Applications was made at the time this United States application was filed.

<u>Application No.</u>	<u>Filed</u>
10-235957	August 21, 1998
10-266802	September 21, 1998
10-266930	September 21, 1998

In order to complete the claim to Convention Priority Dates under 35 U.S.C. 119, a certified copy of each of these Japanese Applications is enclosed herewith.

Respectfully submitted,

KENYON & KENYON

By Edward W. Greason
Edward W. Greason
Reg. No. 18,918

One Broadway
New York, N.Y. 10004
(212) 425-7200

Dated: November 4, 1999



PATENT OFFICE
JAPANESE GOVERNMENT

RECEIVED
NOV 0 9 1999
GROUP 2700

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: August 21, 1998

Application Number: Japanese Patent Application
No. 10-235957

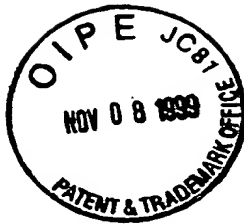
Applicant(s): NIPPON TELEGRAPH AND TELEPHONE
CORPORATION

October 8, 1999

Commissioner,
Patent Office

Takahiko Kondo (Seal)

Certificate No.11-3060033



日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

RECEIVED
NOV 09 1999
GROUP 2700

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1998年 8月21日

出願番号

Application Number:

平成10年特許願第235957号

出願人

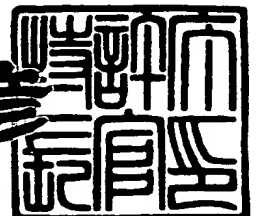
Applicant (s):

日本電信電話株式会社

1999年10月 8日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



出証番号 出証特平11-3060033

【書類名】 特許願

【整理番号】 NTTH105730

【提出日】 平成10年 8月21日

【あて先】 特許庁長官 伊佐山 建志 殿

【国際特許分類】 H04L 12/48
H04L 12/56

【発明の名称】 A T M ス イ ッ チ

【請求項の数】 6

【発明者】

【住所又は居所】 東京都新宿区西新宿三丁目 19 番 2 号 日本電信電話株式会社内

【フリガナ】 ヤスカ モリヨウ

【氏名】 安川 正祥

【発明者】

【住所又は居所】 東京都新宿区西新宿三丁目 19 番 2 号 日本電信電話株式会社内

【フリガナ】 ヤマカ ナオキ

【氏名】 山中 直明

【発明者】

【住所又は居所】 東京都新宿区西新宿三丁目 19 番 2 号 日本電信電話株式会社内

【フリガナ】 オキ エイ

【氏名】 大木 英司

【特許出願人】

【識別番号】 000004226

【住所又は居所】 東京都新宿区西新宿三丁目 19 番 2 号

【氏名又は名称】 日本電信電話株式会社

【代理人】

【識別番号】 100078237

【住所又は居所】 東京都練馬区関町北二丁目26番18号

【弁理士】

【氏名又は名称】 井 出 直 孝

【電話番号】 03-3928-5673

【選任した代理人】

【識別番号】 100083518

【住所又は居所】 東京都練馬区関町北二丁目26番18号

【弁理士】

【氏名又は名称】 下 平 俊 直

【電話番号】 03-3928-5673

【手数料の表示】

【予納台帳番号】 014421

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9701394

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ATMスイッチ

【特許請求の範囲】

【請求項1】 複数の入力回線および出力回線を備えた1段目の単位スイッチと、複数の入力回線および出力回線を備えた2段目の単位スイッチと、複数の入力回線および出力回線を備えた3段目の単位スイッチとを備え、この1段目、2段目、3段目の各単位スイッチが相互に接続されたATMスイッチにおいて、

前記単位スイッチは、入力されたセルのヘッダに書込まれた時刻情報を参照しこの時刻情報の若い順に出力方路へのスイッチングを行う手段をそれぞれ備えたことを特徴とするATMスイッチ。

【請求項2】 前記スイッチングを行う手段は、前記入力回線および前記出力回線が相互に交叉するクロスポイントを備え、

このクロスポイントは、前記入力回線に到来するセルを一時蓄積する第一のバッファと、他のクロスポイントから到来するセルを一時蓄積する第二のバッファと、この第二のバッファと前記第一のバッファの先頭セルについてそれぞれその時刻情報を比較しこの時刻情報の若い方のセルを出力方路へ送出する手段とを備えた請求項1記載のATMスイッチ。

【請求項3】 前記入力回線をグループに分類し、前記第一のバッファは、当該グループ内の入力回線に到来するセルをそれぞれ一時蓄積する手段と、この一時蓄積する手段に蓄積されたセルの時刻情報についてその最も若い時刻情報と前記第二のバッファの先頭セルの時刻情報とを比較しこの時刻情報の若い方のセルを出力方路へ送出する手段とを備えた請求項2記載のATMスイッチ。

【請求項4】 到来するセルに前記時刻情報としての到来時刻情報を付加する手段を備えた請求項1記載のATMスイッチ。

【請求項5】 前記単位スイッチに入力されたセルの当該単位スイッチにおける滞留時間を前記時刻情報として当該セルに付加する手段を備えた請求項1記載のATMスイッチ。

【請求項6】 請求項1記載のATMスイッチを複数備え、このATMスイッチが相互に接続された大規模ATMスイッチ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はA T M (Asynchronous Transfer Mode:非同期転送モード) に利用する。本発明はA T M交換機で用いる大規模かつ高スループット特性を要求されるA T Mスイッチに利用するに適する。特に、簡単なL S I技術の組み合わせで実現される単位スイッチを多段接続してトラヒック需要に柔軟に対応し、A T Mスイッチ全体をスケーラブルに拡張する技術に関する。

【0002】

【従来の技術】

A T M (非同期転送モード) では、固定長のセルをソフトウェアを介さずに簡略化されたプロトコルを用いてハードウェアにより高速にスイッチングする。このためA T M交換機に搭載されるA T Mスイッチには高速制御性、高速スイッチング能力が要求される。したがって、収容回線が増え要求スイッチサイズが大きくなると、単位スイッチサイズの拡張では対応できなくなり、単位スイッチを相互に多段接続するマルチステージスイッチ構成が必要となる。

【0003】

この従来例を図13を参照して説明する。図13は従来のマルチステージスイッチ構成によるA T Mスイッチを示す図である。従来、図13に示すように単位スイッチを相互に3段に接続するクロスアーキテクチャがマルチステージスイッチ構成でスイッチサイズを拡張する有効な手段として知られている。

【0004】

クロスアーキテクチャにおけるルーティングアルゴリズムを分類すると以下の二つのアルゴリズムが考えられる。1) コネクションベースのルーティング: 同一のV C (Virtual connection) を構成するセルはスイッチ内で同一の方路を通過してルーティングされる。2) セルベースのルーティング: 同一のV C を構成するセルがスイッチ内で異なる方路を通過してルーティングされる。

【0005】

【発明が解決しようとする課題】

以下にこれらのルーティングアルゴリズムを採用した場合に従来問題となっていた課題を説明するために、コネクションベースのルーティングを採用した場合のセルルーティング例を図 14 に示し、セルベースのルーティングを採用した場合のセルルーティング例を図 15 に示す。

【0006】

図 14 に示すように、コネクションベースのルーティングでは ATM スイッチ内に入力された VC を構成するセルは同一のスイッチングルートを通してスイッチングされる。3 ステージのクロスアーキテクチャでは 1 段目の単位スイッチと 2 段目の単位スイッチで負荷分散を行い、2 段目の単位スイッチと 3 段目の単位スイッチでスイッチングを行う。

【0007】

このため ATM スイッチ内部でコネクションレベルの負荷分散を行い、2 段目の単位スイッチの負荷を均等に分散させる必要がある。このためには、同一の 3 段目の単位スイッチを目指すコネクションに対して 2 段目のどの単位スイッチを経由すればよいかを判断するなどの 2 段目の単位スイッチにおけるリソース管理を行う必要がある。

【0008】

このようなリソース管理が有効に実現できない場合には 2 段目の単位スイッチにおける負荷バランスが崩れて、高負荷状態に陥る 2 段目の単位スイッチが出現し、当該単位スイッチで継続的にリンクブロックが発生しスイッチ内 QoS (Quality of Service) が満足できない状態が発生する。

【0009】

図 14 では単位スイッチ OSW#1 を目指すコネクションのルーティングにおいて 2 段目の単位スイッチの負荷バランスが崩れて、単位スイッチ TSW#1 が低負荷状態に、単位スイッチ TSW#n が高負荷状態に陥り、単位スイッチ TSW#n の出力リンクでセル廃棄が発生している例を示す。

【0010】

このような負荷アンバランスを防止するためには、VC 時間的変動を考慮して、VC が多重されているリンクレベルでの統計的振る舞いを予想し、確率的に負

荷バランスを保証するなどの高機能なリソース管理を行う必要がある。この管理方法には「各リンクの負荷状態をモニタし、リンクの負荷状態を観測して観測された負荷情報をもとにコネクションのルートを決する方法」や「コネクションの申告パラメータをもとに2段目の単位スイッチの各出力リンクの多重特性を計算してリンクの負荷状態を把握し、この計算された負荷情報をもとにVCのルートを決する方法」などが想定される。

【0011】

しかしながら、本発明で想定している数十Gbit/sを越える高速のリンクを多数備える大規模なATMスイッチでは、上記リソース管理を採用してATMスイッチの使用効率を高める方法はATMスイッチ全体におけるリソースマネジメントのコストが増大し有効な手段とはなり得ない。

【0012】

また複雑なリソース管理を回避するために、ATMスイッチ内部を高速化して負荷バランスの失敗を許容する方法も考えられるが、任意のスピードを備えるVCを収容するためにはATMスイッチ内部のリンク速度をATMスイッチ入出力回線速度の3倍まで高速化する必要があり、単位スイッチ間リンクを構成するのに多大な困難を伴いコストエフェクティブな方法とはなり得ない欠点がある。

【0013】

図15に示すように、セルベースのルーティングにおいてはセル毎にATMスイッチ内で異なるルーティング経路を取ることが可能であるのでVCの多重特性を意識することなしにATMスイッチ内部の負荷分散を実現できる。しかしながらセルベースのルーティングでは同一のVCを構成するセルがATMスイッチ内でマルチルートを通してスイッチングされるため、異なるルートを経由するセルは、各ルートに配置されたバッファに加わる負荷に依存した遅延時間を感じるようになる。

【0014】

このためルート毎にセル転送遅延時間が異なる可能性がありスイッチ出力においてセル順序逆転を発生させる可能性がある。従来のセルベースのルーティングでは、このようなセル順序逆転を防止するために、ATMスイッチ出力方路毎に

大規模なソーティング回路を設けてスイッチングされてきたセルを時刻情報順に並び換えるソーティング操作が必要である。高速で大規模なATMスイッチでは、多数のルーティング経路に対するソーティングを高速に行う必要が生じるので、ATMスイッチサイズが制限され、スイッチスケーラビリティを確保できない問題がある。

【0015】

またシステム構築面から考えても、スイッチ機能部に高速のスイッチングファンクションと、出力方路毎にソーティングファンクションを別々に実現する必要があり経済的に問題がある。

【0016】

本発明は、このような背景に行われたものであって、多数のルーティング経路に対するソーティングを行うことなく単位スイッチ毎に自律分散的にセル順序保証を行うことができるATMスイッチを提供することを目的とする。本発明は、3段構成の単位スイッチを一つのATMスイッチブロックとし、このATMスイッチブロックを増設することにより大規模化することができるATMスイッチを提供することを目的とする。

【0017】

【課題を解決するための手段】

本発明のATMスイッチは、セルベースのスイッチアルゴリズムを採用しながらも、ATMスイッチ出力に大規模なソーティング回路を必要とせず、マルチステージ内の単位スイッチが分散的にセル順序保証を行いながら入力セルをスイッチングできる機能を備えていることを主要な特徴とする。

【0018】

このため各ステージに配置された単位スイッチがスイッチ出力方路に対して階層的にセル順序保証を行いながらスイッチングする機構を備えている点が従来技術と大きく異なる。さらに単位スイッチ内の階層化されたセル順序保証網をマルチステージ接続すればセル順序保証機能を達成しながら無限にスイッチサイズを拡張できる点が従来技術と大きく異なる。このように単一のスイッチングブロックを用いてマルチステージ環境下でノンブロックスイッチを始めて実現可能に

したことを最も主要な特徴とする。

【0019】

すなわち、本発明の第一の観点はATMスイッチであって、複数の入力回線および出力回線を備えた1段目の単位スイッチと、複数の入力回線および出力回線を備えた2段目の単位スイッチと、複数の入力回線および出力回線を備えた3段目の単位スイッチとを備え、この1段目、2段目、3段目の各単位スイッチが相互に接続されたATMスイッチである。

【0020】

ここで、本発明の特徴とするところは、前記単位スイッチは、入力されたセルのヘッダに書込まれた時刻情報を参照しこの時刻情報の若い順に出力方路へのスイッチングを行う手段をそれぞれ備えるところにある。

【0021】

これにより、前述したセルベースのスイッチアルゴリズムにおける各単位スイッチが自律分散的にセル順序保証を行うことができる。さらに、この単位スイッチを相互に接続して構成されるATMスイッチ全体についてもセル順序を保証することができる。したがって、このATMスイッチをさらに多数接続して得られる大規模なATMスイッチについても同様に、セル順序を保証することができる。このように、単位スイッチ毎に自律分散的に行われるセル順序保証により、大規模なATMスイッチを構成する場合でも、別にソーティングを行うための装置を設ける必要がなく、大規模なATMスイッチを簡単かつ安価に構成することができる。

【0022】

前記スイッチングを行う手段は、前記入力回線および前記出力回線が相互に交叉するクロスポイントを備え、このクロスポイントは、前記入力回線に到来するセルを一時蓄積する第一のバッファと、他のクロスポイントから到来するセルを一時蓄積する第二のバッファと、この第二のバッファと前記第一のバッファの先頭セルについてそれぞれその時刻情報を比較しこの時刻情報の若い方のセルを出力方路へ送出する手段とを備えることが望ましい。

【0023】

このように、各クロスポイント毎に時刻情報の比較を行うことにより、セル順序の保証を実現することができる。

【0024】

前記入力回線をグループに分類し、前記第一のバッファは、当該グループ内の入力回線に到来するセルをそれぞれ一時蓄積する手段と、この一時蓄積する手段に蓄積されたセルの時刻情報についてその最も若い時刻情報と前記第二のバッファの先頭セルの時刻情報とを比較しこの時刻情報の若い方のセルを出力方路へ送出する手段とを備える構成とすることもできる。

【0025】

このように、入力回線をグループに分類し、このグループ内の入力回線に到来するセル間であらかじめ時刻情報の若いものを選択しておき、その上で第二のバッファの先頭セルの時刻情報との比較を行うことにより、クロスポイントにおける時刻情報比較回数を低減させることができるため、セルの転送遅延時間を短縮することができる。

【0026】

前記 $m \times m$ 入力に到来するセルに前記時刻情報としての到来時刻情報を付加する手段を備える構成とすることにより、ATMスイッチの各単位スイッチで共通に用いることができる時刻情報をセルに付加することができる。この付加する手段は、例えば、ATMスイッチの入力前段に設ければよい。

【0027】

あるいは、前記単位スイッチに入力されたセルの当該単位スイッチにおける滞留時間を前記時刻情報として当該セルに付加する手段を備える構成とすることにより、滞留時間が長いセルは、先に単位スイッチに入力されたセルであるから時刻情報が若いセルとして扱うことができる。なお、この滞留時間は次段の単位スイッチに入力された時点でその単位スイッチ内の滞留時間が加算されるようにすることがよい。

【0028】

本発明の第二の観点は、前記ATMスイッチを複数備え、このATMスイッチが相互に接続された大規模ATMスイッチである。このように、前記ATMスイ

ッチを一つのATMスイッチブロックとしてこのATMスイッチブロックを複数相互に接続することにより、大規模なATMスイッチを構成することができる。この場合にも、セル順序保証は各单位スイッチが自律分散的に行っているため、別にソーティングを行うための装置を設ける必要はない。

【0029】

【発明の実施の形態】

発明の実施の形態を図1、図2、図4、図9、図10および図11を参照して説明する。図1は本発明のATMスイッチの要部ブロック構成図である。図2はタイムスタンプ付加部を示す図である。図4は本発明第一実施例の単位スイッチの要部ブロック構成図である。図9は本発明第二実施例の単位スイッチの要部ブロック構成図である。図10は本発明第三実施例の単位スイッチの要部ブロック構成図である。図11は遅延時間カウンタを示す図である。

【0030】

本発明はATMスイッチであって、図1に示すように、 m 本の入力回線および m 本の出力回線を備えた m 個の1段目の単位スイッチISW#1～ISW# m と、 m 本の入力回線および m 本の出力回線を備えた m 個の2段目の単位スイッチTSW#1～TSW# m と、 m 本の入力回線および m 本の出力回線を備えた m 個の3段目の単位スイッチOSW#1～OSW# m とを備え、この1段目、2段目、3段目の各单位スイッチISW#1～ISW# m 、TSW#1～TSW# m 、OSW#1～OSW# m が相互に接続された $m \times m$ 入力 $m \times m$ 出力のATMスイッチである。

【0031】

ここで、本発明の特徴とするところは、単位スイッチISW#1～ISW# m 、TSW#1～TSW# m 、OSW#1～OSW# m は、入力されたセルのヘッダに書込まれた時刻情報を参照しこの時刻情報の若い順に出力方路へのスイッチングを行うところにある。ここでは、1段目、2段目、3段目の各单位スイッチの個数は同じく m 個として説明するが、1段目を m 本の入力回線および n 本の出力回線を備えた m 個の単位スイッチとし、2段目を n 本の入力回線および n 本の出力回線を備えた n 個の単位スイッチとし、3段目を n 本の入力回線および m 本

の出力回線を備えた m 個の単位スイッチとしてATMスイッチを構成することもできる。ただし、 m 、 n は自然数であり、本発明実施例では $m = n$ である。

【0032】

単位スイッチISW#1～ISW# m 、TSW#1～TSW# m 、OSW#1～OSW# m は、図4に示すように、前記入力回線および前記出力回線が相互に交叉するクロスポイントXを備え、このクロスポイントXは、前記入力回線に到来するセルを一時蓄積する第一のバッファであるクロスポイントバッファBcと、他のクロスポイントXから到来するセルを一時蓄積する第二のバッファである中継バッファBtと、この中継バッファBtとクロスポイントバッファBcの先頭セルについてそれぞれその時刻情報を比較しこの時刻情報の若い方のセルを出力方路へ送出する手段であるセル送出制御回路CNTLとを備える。

【0033】

また、図9に示す例では、前記入力回線をグループに分類し、当該グループ内の入力回線に到来するセルをそれぞれ一時蓄積する手段であるバッファb1～b k と、このバッファb1～b k に蓄積されたセルの時刻情報についてその最も若い時刻情報と中継バッファBtの先頭セルの時刻情報とを比較しこの時刻情報の若い方のセルを出力方路へ送出する。

【0034】

また、図10に示す例では、当該グループ内の入力回線に到来するセルをそれぞれ一時蓄積する手段として当該グループ内の入力回線に共通のクロスポイントバッファBckを備えている。

【0035】

図2の例では、前記 $m \times m$ 入力に到来するセルに前記時刻情報としての到来時刻情報を付加する手段であるタイムスタンプ付加部TSを備えている。

【0036】

また、図11の例では、単位スイッチに入力されたセルの当該単位スイッチにおける滞留時間を前記時刻情報として当該セルに付加する手段である遅延時間カウンタDCNTを備えている。

【0037】

【実施例】

（第一実施例）

本発明第一実施例を図1ないし図7を参照して説明する。図3は本発明第一実施例のセル順情報保証の原理を説明するための図である。図5は最上流のクロスポイントにおけるセル選択則を示すフローチャートである。図6は最上流以外のクロスポイントにおけるセル選択則を示すフローチャートである。図7は有効セルのダミーセル上書き状況を説明するための図である。

【0038】

図1は本発明第一実施例の3段の階層化されたセル順序保証網を備えるマルチステージATMスイッチのブロック構成図である。図2に示すように、ATMスイッチの入力前段には、タイムスタンプ付加部TSが設けられている。各単位スイッチISW#1～ISW#m、TSW#1～TSW#m、OSW#1～OSW#mはセルのヘッダに書込まれたタイムスタンプ情報（セルのスイッチへの到着時刻を表す）を参照して、各単位スイッチの出力方路に接続される集線網内でセルを集線するときにタイムスタンプの値の小さい順にセルを集線する。図1では3段目の単位スイッチOSW#1ではタイムスタンプT1がまず出力されて次にT2、T3の順にセルが出力される。本発明ではこの単位スイッチがマルチステージ下で階層的に接続されているのでATMスイッチ全体で任意の出力方路に対してセルの順序を並び換えることが可能である。このように、マルチステージ環境でセル順序を保証できる。

【0039】

本発明のATMスイッチはセルベースのルーティングを行っているのでATMスイッチに入力されたセルはVCに関係無くランダムに2段目の単位スイッチTSW#1～TSW#mに分配され、2段目の単位スイッチTSW#1～TSW#mの負荷分散が実行される。

【0040】

このときマルチステージを構成する単位スイッチISW#1～ISW#m、TSW#1～TSW#m、OSW#1～OSW#mは各入力ポートから入力されるセルの時刻情報を比較してこの時刻情報の若い順に出力ポートにセルを階層的に

スイッチングする階層的なセル順序保証網を搭載している。

【0041】

さらに3段のクロス構造で相互接続されたマルチステージスイッチにおいて、前段の各单位スイッチのセル順序保証網の出力ポートが後段の各单位スイッチのセル順序保証網の入力ポートに相互接続され、より大規模なセル順序保証網の階層化構造を実現している。このような階層化された多段セル順序保証網を構成するために1段目の単位スイッチISW#1～ISW#mで負荷分散のために2段目の単位スイッチTSW#1～TSW#mに分配されたセルはスイッチングされる過程で各单位スイッチTSW#1～TSW#mに搭載されたセル順序保証網でセル順序を保証されながらスイッチングされていく。このとき任意の出力方路に対して階層化されたセル順序保証網が構成されており、セル順序を保証しながら集線されていくので、マルチステージのスイッチ出力では結局セルの順番が保証されてスイッチングが行われていく。図1では、単位スイッチ出力OSW#1にセル順序保証されながらセルがスイッチングされていく例を示している。

【0042】

図3に本発明第一実施例のATMスイッチの階層化セル順序保証網トポロジを示す。また、図4に本発明第一実施例の単位スイッチの要部ブロック構成を示す。図4は単位スイッチをクロスポイントバッファ型スイッチで実現した場合の例を示している。各クロスポイントXはアドレスフィルタAF、クロスポイントバッファBc、中継バッファBt、セル送出制御回路CNTL、セレクタSELより構成されており、これらの基本ブロックにより構成されるクロスポイントXが出力方路にタンデムに接続される形態をとっている。

【0043】

単位スイッチに入力されたセルはそのヘッダ内のルーティングビットにより出力ポートに対応したアドレスフィルタAFにより抽出され出力方路に対応したクロスポイントバッファBcに格納される。各クロスポイントXに配置された中継バッファBt、クロスポイントバッファBcではセルがバッファリングされているとき、セル送出制御回路CNTLにセル送出リクエスト(Req)を送付する。

【0044】

セル送出リクエストを受信したセル送出制御回路CNTLは下流のクロスポイントXに配置された中継バッファBtからセル送出不許可信号(NACK)を受信していないときに限って以下のセル送出選択アルゴリズムにしたがってセルを選択し、クロスポイントバッファBc、中継バッファBtいずれかにセル送出許可信号(ACK)を送付し、対応するバッファの出力信号が下流の中継バッファBtに接続するようにセレクタSELを切替える。

【0045】

ACK信号を受信したバッファはその先頭に格納されたセルを下流のクロスポイントに配置された中継バッファBtに送出する。この過程で下流の中継バッファBtが一杯のときにはセル送出不許可信号(NACK)をセル送出制御回路CNTLに送付し、上流からのセル送出を停止させる。

【0046】

なお、図4に示すアドレスフィルタAFでは、従来、自己のアドレスを有するセルを取り込み、他のアドレスを有するセルは廃棄する処理を行うが、本発明実施例では、アドレスフィルタAFは、他のアドレスを有するセルについては廃棄するときに、そのセルに付加されているタイムスタンプ情報を取り込み、このタイムスタンプ情報を付加したダミーセルを生成する。このダミーセルはクロスポイントバッファBcに蓄積される。このダミーセルは送出制御に用いられる。

【0047】

各クロスポイントXに配置されたセル送出制御回路CNTLにおけるセル送出アルゴリズムを図5および図6を用いて以下に説明する。各セル送出制御回路CNTLのセル送出制御アルゴリズムはセル送出制御回路CNTLの配置されるクロスポイントXの位置により、二つのフローがあり、1) 最上流クロスポイントと2) それ以外によって下記のように動作する。

【0048】

図5に示すように、最上流のクロスポイントXにおいては中継バッファBtにセルが到着することはないのでクロスポイントバッファBcにバッファリングされているセルの状況に応じてセル送出制御回路CNTLが動作する。まず始めに

クロスポイントバッファ B c から R e Q 信号が到達しているときには、先頭セルの中身をチェックし (S 1)、セルが有効セルかダミーセルの場合には (S 2)、セレクタ信号を制御してクロスポイントバッファ B c の先頭セルを選択し (S 3)、その先頭セルを下流の中継バッファ B t に送出させる。

【0049】

ここでいうダミーセルはダミーセル記載の時刻にセル到着が無かったことを下流のセル送出制御回路 C N T L に通知するために送出するセルのことである。クロスポイントバッファ B c にセルがバッファリングされていないときには (S 4)、現時刻において到着セルが存在しないので、それを下流のセル送出制御回路 C N T L に通知するために現時刻を記載したダミーセルの送出をクロスポイントバッファ B c に指示し、このダミーセルを下流の中継バッファ B t に送出させる (S 5)。このダミーセルを送出することで下流のセル送出制御回路 C N T L におけるセル順序比較を効率的に動作させることが可能となる。

【0050】

次に K 番目 ($K \neq 0$ 、最上流クロスポイント以外) のクロスポイント X に配置されたセル送出制御回路 C N T L のセル選択アルゴリズムを図 6 を用いて説明する。まず始めにセル送出制御回路 C N T L はクロスポイントバッファ B c および中継バッファ B t からの R e Q 信号により各バッファ内のセルのバッファリング状況を確認する (S 11)。クロスポイントバッファ B c または中継バッファ B t に送出セルが存在しないときには (S 13)、セル順序比較無しにセル送出を行うとセル順序逆転を生じる危険性が存在するために、それぞれのバッファに N A C K 信号を返してセル送出を停止させる (S 14)。

【0051】

クロスポイントバッファ B c および中継バッファ B t に転送セルがバッファリングされ (S 12)、各バッファから R e Q 信号が伝達されているときには各バッファ内にバッファリングされているセルの種類にしたがって次の 4 つのケースに分類されセル選択制御アルゴリズムが動作する。

【0052】

C a s e 1 : クロスポイントバッファ B c、中継バッファ B t 両方に有効セル

がバッファリングされている場合 (S15)。

【0053】

Case 2 : クロスポイントバッファBcに有効セル、中継バッファBtにダミーセルがバッファリングされている場合 (S16)。

【0054】

Case 3 : クロスポイントバッファBcにダミーセル、中継バッファBtに有効セルがバッファリングされている場合 (S17)。

【0055】

Case 4 : クロスポイントバッファBc、中継バッファBtの両方にダミーセルがバッファリングされている場合 (S18)。

【0056】

セル送出制御回路CNTLはこれらの4つのケースを分類して以下に示す制御アルゴリズムにしたがって送出セルが格納されているバッファを選択する。それぞれのケースの場合にまず始めに両バッファの先頭にバッファリングされたセルの時刻情報のを比較を行う (S19、S20、S21、S22)。以下の説明ではクロスポイントバッファBc内にバッファリングされているセルの時刻情報をTc、中継バッファBt内にバッファリングされているセルの時刻情報をTtの記号で表して制御アルゴリズムを説明する。

【0057】

まず始めにCase 1-1 $Tc < Tt$ のとき (S23)、この場合はセル送出制御回路CNTLはクロスポイントバッファBcにACKを返し、クロスポイントバッファBcを選択するようにセレクタSELを制御する (S35)。Case 1-2 $Tc > Tt$ のとき (S24)、この場合はセル送出制御回路CNTLは中継バッファBtにACKを返し、中継バッファBtを選択するようにセレクタSELを制御する (S36)。Case 1-3 $Tc = Tt$ のとき (S25)、この場合はセル送出制御回路CNTLはクロスポイントバッファBc、中継バッファBtに1 : K-1の重み付けを行い確率的にサービスすべきバッファを選択しACKを返しセレクタSELを制御する (S37)。ここで中継バッファBtにK-1の重みを付与する理由はK番目のクロスポイントの中継バッファB

tには上流のK-1個のクロスポイントバッファBcからの送出セルが中継されてきており、各クロスポイントバッファBc間で出力方路にセルを送出するときに公平性を保つためである。

【0058】

次にCase 2-1 $T_c < T_t$ のとき (S26)、この場合はセル送出制御回路CNTLはクロスポイントバッファBcにACKを返し、クロスポイントバッファBcを選択するようにセレクタSELを制御する (S38)。Case 2-2 $T_c > T_t$ のとき (S27)、この場合はセル送出制御回路CNTLは中継バッファBtにACKを返し、中継バッファBtを選択するようにセレクタSELを制御する (S39)。Case 2-3 $T_c = T_t$ のとき (S28)、この場合にはクロスポイントバッファBcにバッファリングされているのが有効セルで中継バッファBtにバッファリングされているのがダミーセルであるため、クロスポイントバッファBcの方が優先度が高いことを考慮してセル送出制御回路CNTLはクロスポイントバッファBcにACKを返し、クロスポイントバッファBcが選択されるようにセレクタSELを制御する (S40)。

【0059】

Case 3-1 $T_c < T_t$ のとき (S29)、この場合はセル送出制御回路CNTLはクロスポイントバッファBcにACKを返し、クロスポイントバッファBcを選択するようにセレクタSELを制御する (S41)。Case 3-2 $T_c > T_t$ のとき (S30)、この場合はセル送出制御回路CNTLは中継バッファBtにACKを返し、中継バッファBtを選択するようにセレクタSELを制御する (S42)。Case 3-3 $T_c = T_t$ のとき (S31)、この場合にはクロスポイントバッファBcにバッファリングされているのがダミーセルで中継バッファBtにバッファリングされているのが有効セルであるため、中継バッファBtの方が優先度が高いことを考慮してセル送出制御回路CNTLは中継バッファBtにACKを返し、中継バッファBtが選択されるようにセレクタSELを制御する (S43)。

【0060】

最後にCase 4の場合でクロスポイントバッファBc、中継バッファBtと

もにダミーセルをバッファリングしている場合である。この場合にはセル送出制御回路CNTLはCase 1の場合と同一の制御アルゴリズムで動作する。つまりCase 4-1 $T_c < T_t$ のとき (S32)、この場合はセル送出制御回路CNTLはクロスポイントバッファBcにACKを返し、クロスポイントバッファBcを選択するようにセレクタSELを制御する (S44)。Case 4-2 $T_c > T_t$ のとき (S33)、この場合はセル送出制御回路CNTLは中継バッファBtにACKを返し、中継バッファBtを選択するようにセレクタSELを制御する (S45)。Case 4-3 $T_c = T_t$ のとき (S34)、この場合はセル送出制御回路CNTLはクロスポイントバッファBc、中継バッファBtに1:K-1の重み付けを行い確率的にサービスすべきバッファを選択しACKを返しセレクタSELを制御する (S46)。

【0061】

上記セル選択制御アルゴリズムを用いて上流のクロスポイントXからセルを中継バッファBtに送出する過程、前段の単位スイッチから次段の単位スイッチのクロスポイントXにセルを送出する過程においては、時刻情報を下流のセル送出制御回路CNTLに通知するために送出されるダミーセルがATMスイッチ内の負荷を増大させて余分なセル転送遅延時間の増加を招く可能性が存在する。そのため図7に示すように各クロスポイントバッファBc、中継バッファBtにダミーセルがバッファリングされている場合には新規に到着したセルがダミーセルに上書きされる。このようにすることで効率的な時刻情報比較が可能になるとともにダミーセルによる余分なセル転送遅延時間の増加を最小限に抑えることが可能となっている。

【0062】

単位スイッチにおいて以上に説明したような制御アルゴリズムを用いてセルをスイッチングするので図3に示すように単位スイッチの各出力ポートに向かうセルは階層的にセル順序保証されながらスイッチングされていく。さらに図1に示すように本発明のマルチステージATMスイッチでは、この階層的なセル順序保証網を備えた単位スイッチがATMスイッチ全体で多段のセル順序保証網を形成するように階層的に相互接続されるのでATMスイッチ全体としても任意の出力

ポートに対してセル順序保証しながらのスイッチングが可能となっている。

【0063】

(第二実施例)

本発明第二実施例を図8および図9を参照して説明する。図8は本発明第二実施例のセル順序保証の原理を説明するための図である。本発明第二実施例は、 k 本ずつ入力回線をグルーピングしてスイッチングを実現した例を示す。この例はクロスポイントバッファ B_c の k 個のバッファ $b_1 \sim b_k$ の先頭セルの時刻情報の一番若い時刻情報と中継バッファ B_t の時刻情報とを比較することで、同一単位スイッチサイズを実現する上でセル順序保証網の階層化段数を $1/k$ に削減する例である。このような単位スイッチを採用すればセル順序保証用の階層化段数を削減できるのでセル転送遅延時間特性の優れるATMスイッチを実現することが可能である。その他の制御は本発明第一実施例の場合と同一である。

【0064】

(第三実施例)

本発明第三実施例を図10を参照して説明する。本発明第三実施例の単位スイッチは本発明第二実施例で述べた単位スイッチの k 個のバッファ $b_1 \sim b_k$ を一つのクロスポイントバッファ B_{ck} により共有化した例である。このようなアーキテクチャが実現できれば、 k 個のグルーピングされた入力に対してバッファを共有化できるため、クロスポイントバッファサイズを削減できる。セル送出制御回路CNTLにおける制御は本発明第三実施例に示したとおりである。

【0065】

(第四実施例)

本発明のセル順序を階層的に保証したATMスイッチにおけるセル転送遅延時間特性はATMスイッチ入力負荷に大きく依存し、その特性は出力バッファ型スイッチと同一の特性を示す。このためATMスイッチ入力負荷を1.0に漸近させると急激にセル転送遅延時間が発散するので、ATMスイッチ運用上問題がある。このためATMスイッチ内部を高速化してみかけ上、ATMスイッチ入力負荷を低減させることが望ましい。高速化のファクタはみかけ上の入力負荷を0.8程度まで低減できればよいので1.2～1.3倍の値で充分である。

【0066】

(第五実施例)

本発明第一および第二実施例の単位スイッチで時刻情報を比較するときには、ATMスイッチ全体でユニバーサルなタイムスタンプを付与し、ATMスイッチ全体でユニバーサルなタイムスタンプを用いて時刻情報を比較している。このように、ユニバーサルにタイムスタンプを付与する場合にはマルチステージスイッチ入力段に完全に同期したタイムスタンプを付与するために同期回路としてのタイムスタンプ付与部TSを備えてその同期カウンタの値を時刻情報として到着セルのオーバーヘッドにタイムスタンプ情報として書込み、その後、このタイムスタンプは各ステージに配置された単位スイッチで更新されることなしに、タイムスタンプの値をもとに時刻情報を判断されセル順序保証が実現されることは既に説明した。

【0067】

図11は本発明第五実施例のATMスイッチを説明するための図であるが、ここでは、本発明第五実施例として、各単位スイッチ内で独立した遅延時間カウンタDCNTを備えて各単位スイッチで遅延時間を加算して加算された遅延時間情報をもとに時刻情報を比較する場合について説明する。各ステージに配置された単位スイッチにセルが入力されてからクロスポイントXのセル送出制御回路CNTLで時刻情報の比較が行われるまで遅延時間が積み上げられ、この積み上げられた遅延時間をもとにセル送出制御回路CNTLがセル順序保証を行う。すなわち、遅延時間が大きいセルは、遅延時間が小さいセルと比較するとより早い時刻に単位スイッチに入力されたセルであることがわかる。したがって、この遅延時間を時刻情報の情報として扱うことにより、前述したタイムスタンプによる時刻情報の情報と同様に本発明のセル順序保証を行うことができる。

【0068】

(実施例まとめ)

このように、本発明第一～第五実施例によれば、セル順序逆転を保証しながら入力トラヒックをセルバイセルでルーティングできるので、マルチステージスイッチ内トラヒックの分散が可能となり、内部高速化のテクニックを用いることな

しに、スイッチをノンブロック化できる。図12に本発明ATMスイッチのセル転送遅延時間特性を計算機シミュレーションにより評価した結果を示す。横軸に入力負荷をとり縦軸に平均セル転送遅延時間をとる。このグラフに示したようにセル転送遅延時間はスイッチ入力負荷が1.0に漸近するにつれて発散する。この傾向は出力バッファ型スイッチと同一のものであり、本発明ATMスイッチがスループット1.0を達成できるスイッチアーキテクチャであることを示している。

【0069】

さらに、セルバイセルのルーティングに起因するセル順序逆転を階層化されたセル順序保証網を用いて、順序保証しながらスイッチングできることを主要な特徴としている。この動作に伴うペナルティは時刻情報比較に伴うセル順序保証階層網の階層段数に依存するセル転送遅延時間の増加だけである。このため、スイッチ出力ポート毎にセル順序保証用のソーティング回路を新たに搭載することなしにセル順序保証が実現できる。

【0070】

さらに本発明によれば、階層化されたセル順序保証網を備える単位スイッチを実現し、単位スイッチの入出力ポートを相互接続することで大規模な階層化セル順序保証網を実現することが可能であるので、スイッチスケーラビリティに富むアーキテクチャである。結果として、コストエフェクティブな大規模化スイッチが実現可能でネットワーク効率を向上させることができるようになる。

【0071】

【発明の効果】

以上説明したように、本発明によれば、多数のルーティング経路に対するソーティングを行うことなく単位スイッチ毎に自律分散的にセル順序保証を行うことができる。3段構成の単位スイッチを一つのATMスイッチブロックとし、このATMスイッチブロックを増設することによりATMスイッチを大規模化することができる。

【図面の簡単な説明】

【図1】

本発明のATMスイッチの要部ブロック構成図。

【図2】

タイムスタンプ付加部を示す図。

【図3】

本発明第一実施例のセル順情報保証の原理を説明するための図。

【図4】

本発明第一実施例の単位スイッチの要部ブロック構成図。

【図5】

最上流のクロスポイントにおけるセル選択則を示すフローチャート。

【図6】

最上流以外のクロスポイントにおけるセル選択則を示すフローチャート。

【図7】

有効セルのダミーセル上書き状況を説明するための図。

【図8】

本発明第二実施例のセル順情報保証の原理を説明するための図。

【図9】

本発明第二実施例の単位スイッチの要部ブロック構成図。

【図10】

本発明第三実施例の単位スイッチの要部ブロック構成図。

【図11】

遅延時間カウンタを示す図。

【図12】

本発明ATMスイッチのセル転送遅延時間特性を計算機シミュレーションにより評価した結果を示す図。

【図13】

従来のマルチステージスイッチ構成によるATMスイッチを示す図。

【図14】

コネクションベースのルーティングを採用した場合のセルルーティング例を示す図。

【図 15】

セルベースのルーティングを採用した場合のセルルーティング例を示す図。

【符号の説明】

A F アドレスフィルタ

B c、B c k クロスポイントバッファ

B t 中継バッファ

b 1～b k バッファ

C N T L セル送出制御回路

D C N T 遅延時間カウンタ

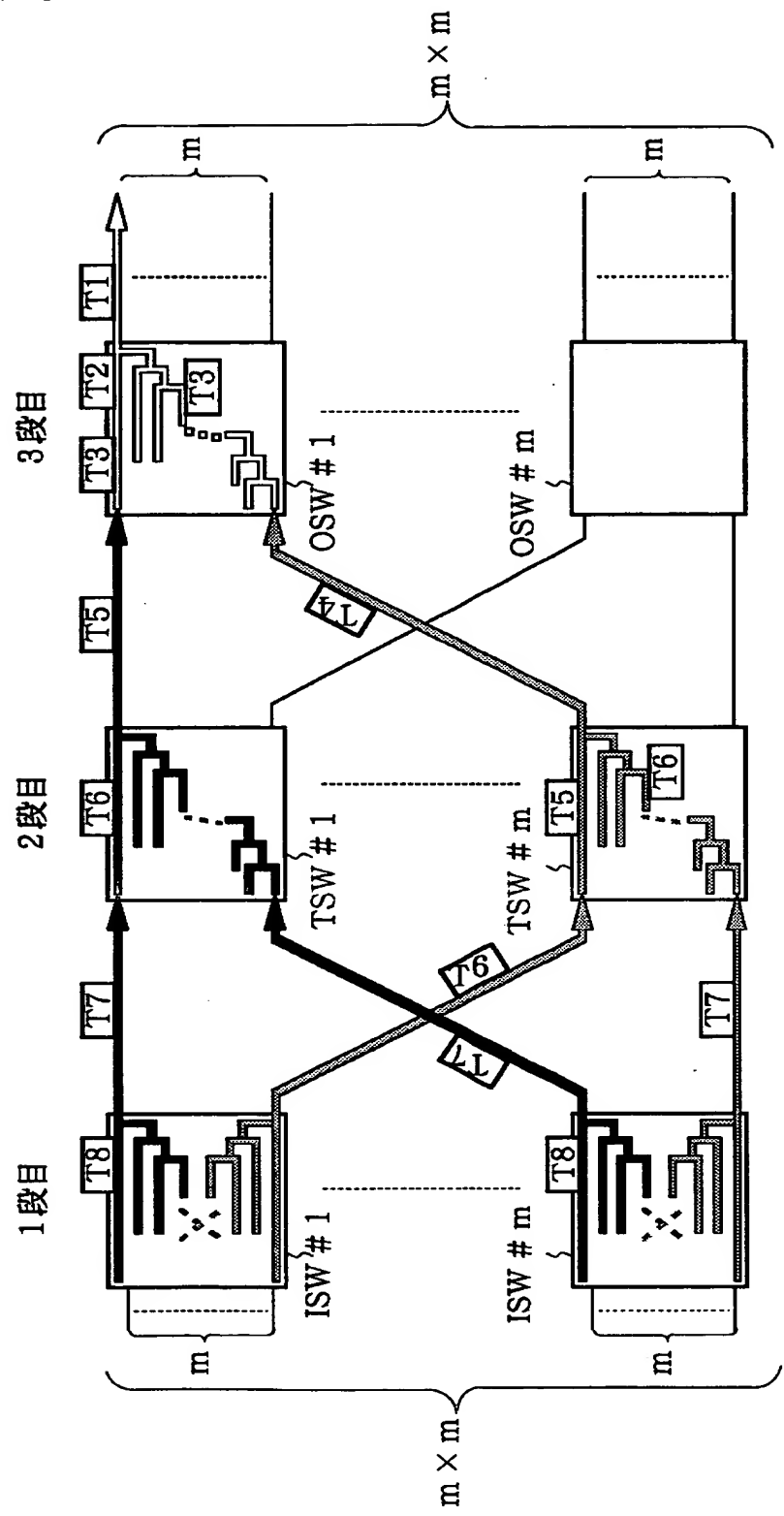
I S W # 1～I S W # m、T S W # 1～T S W # m、O S W # 1～O S W # m
単位スイッチ

S E L セレクタ

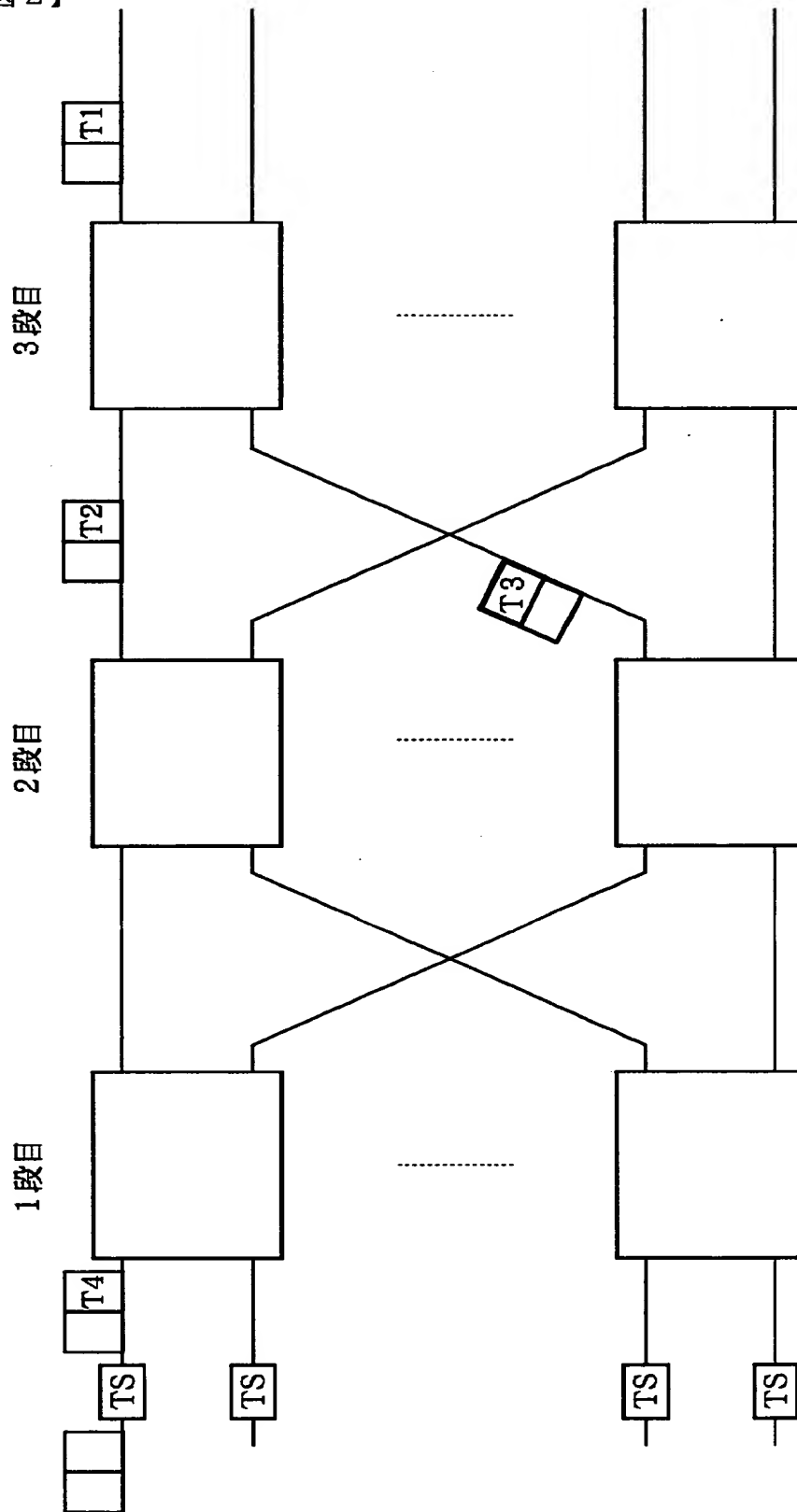
T S タイムスタンプ付加部

X クロスポイント

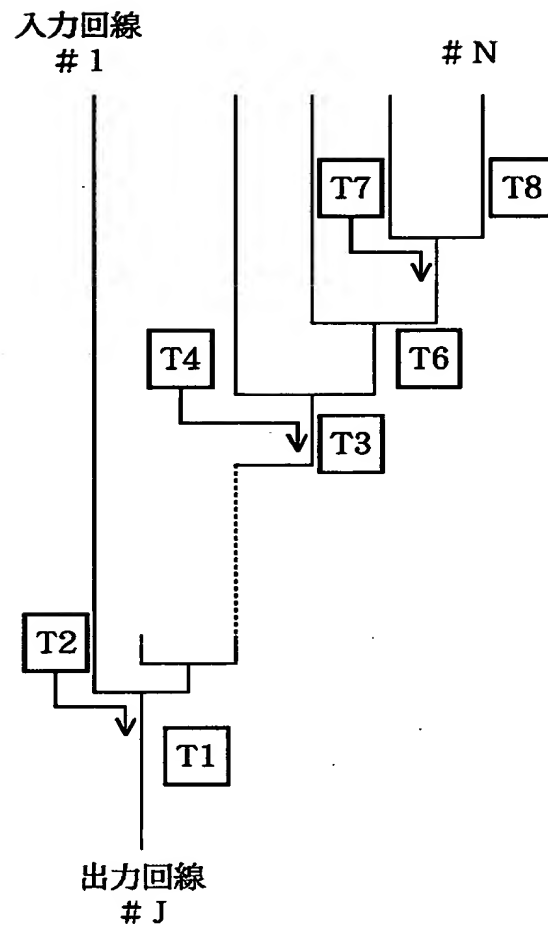
【書類名】 図面
【図 1】



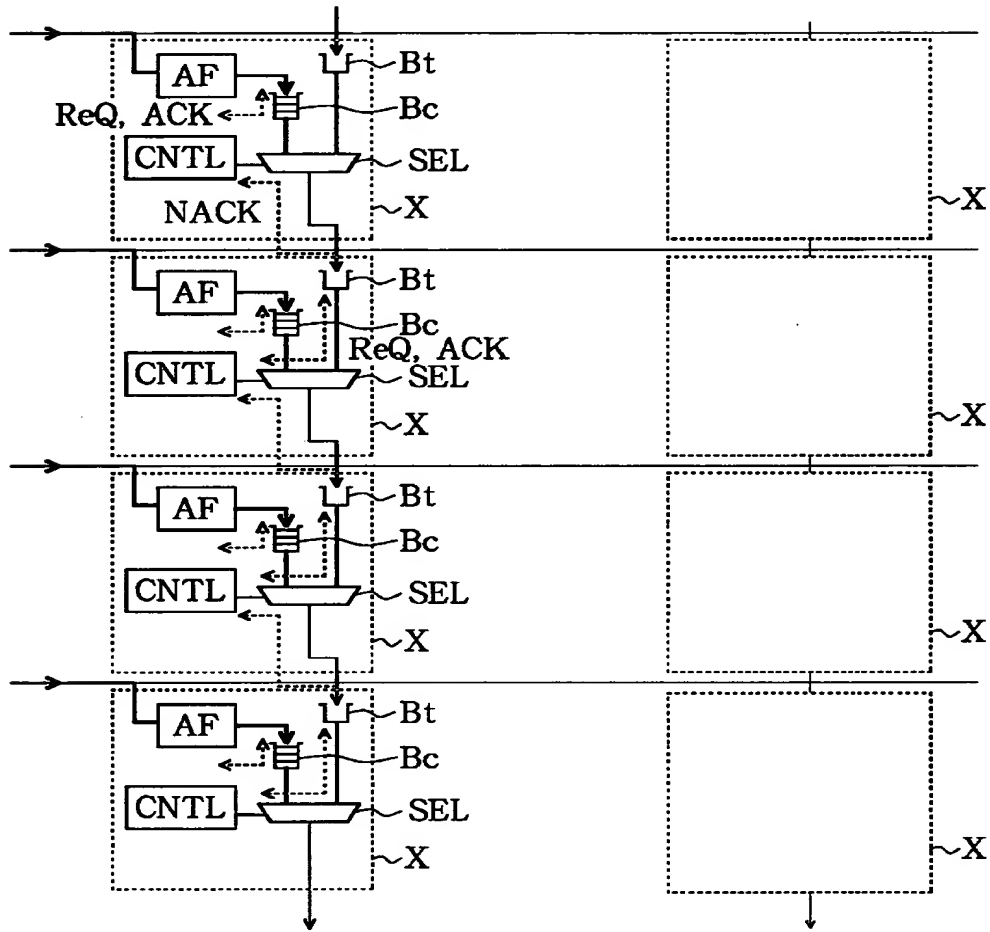
【図 2】



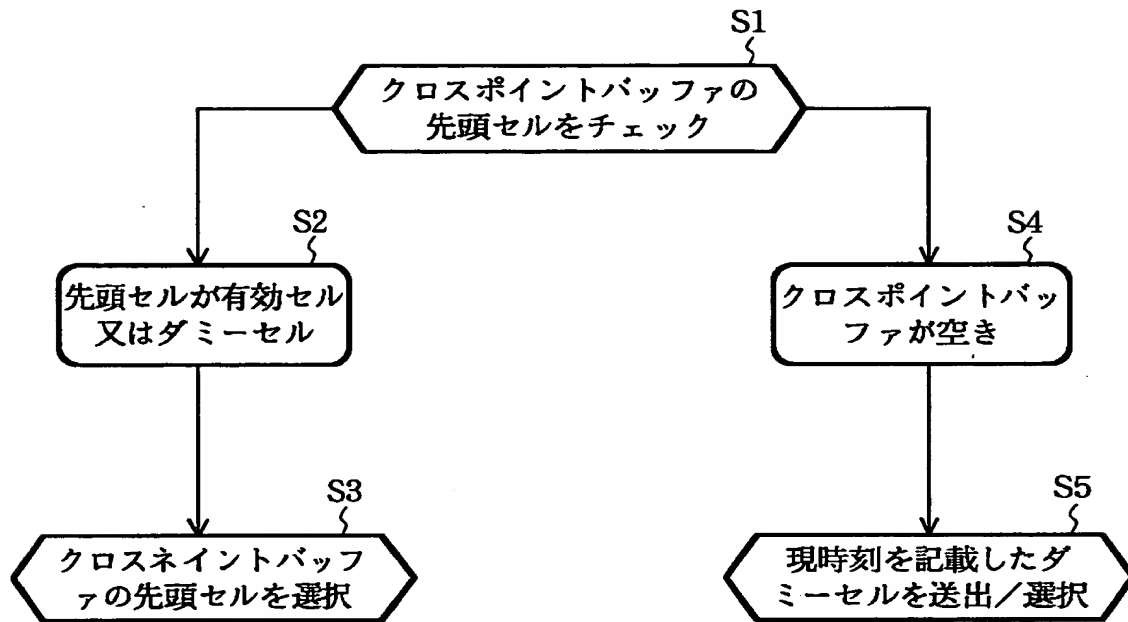
【図 3】



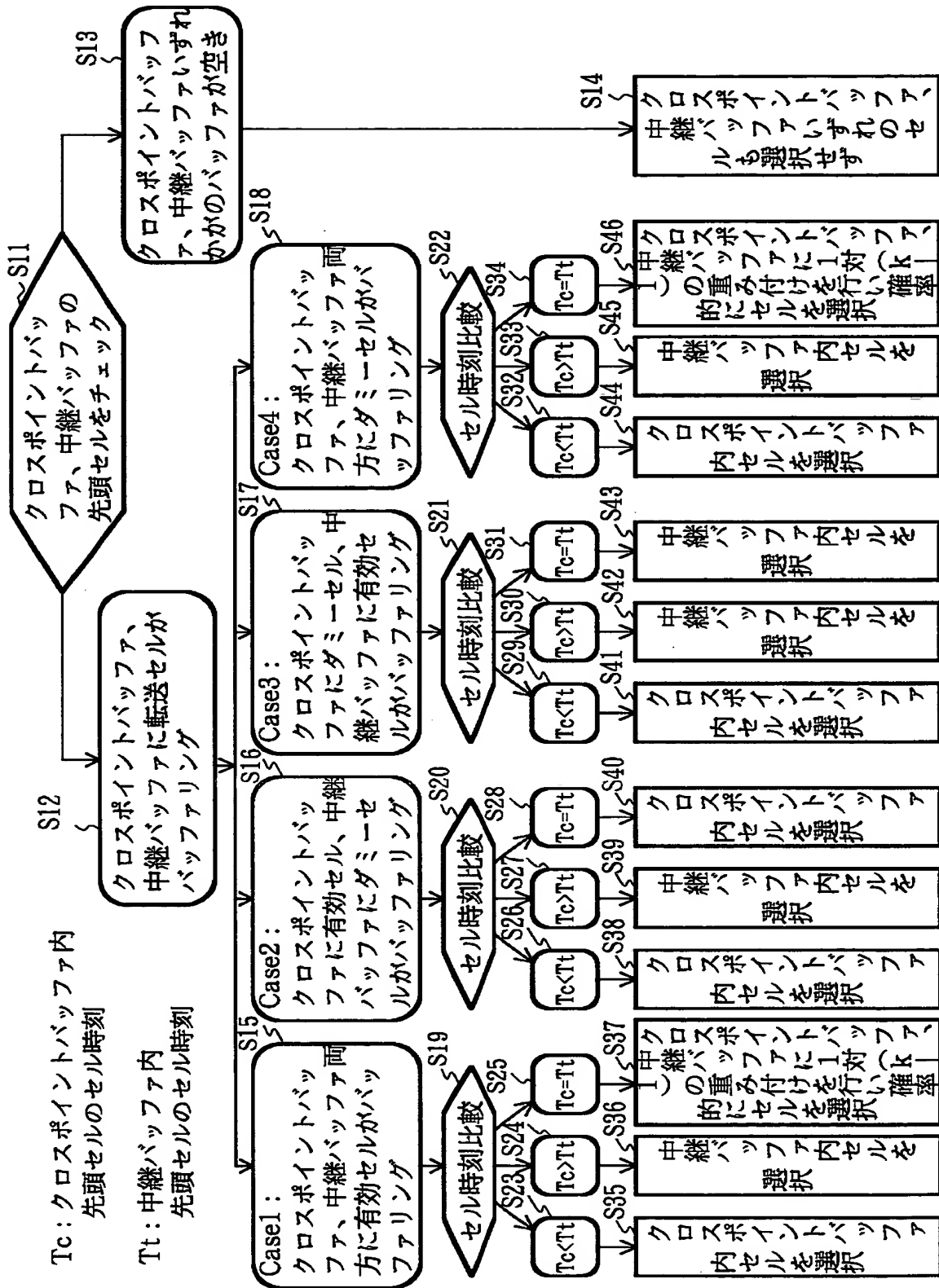
【図4】



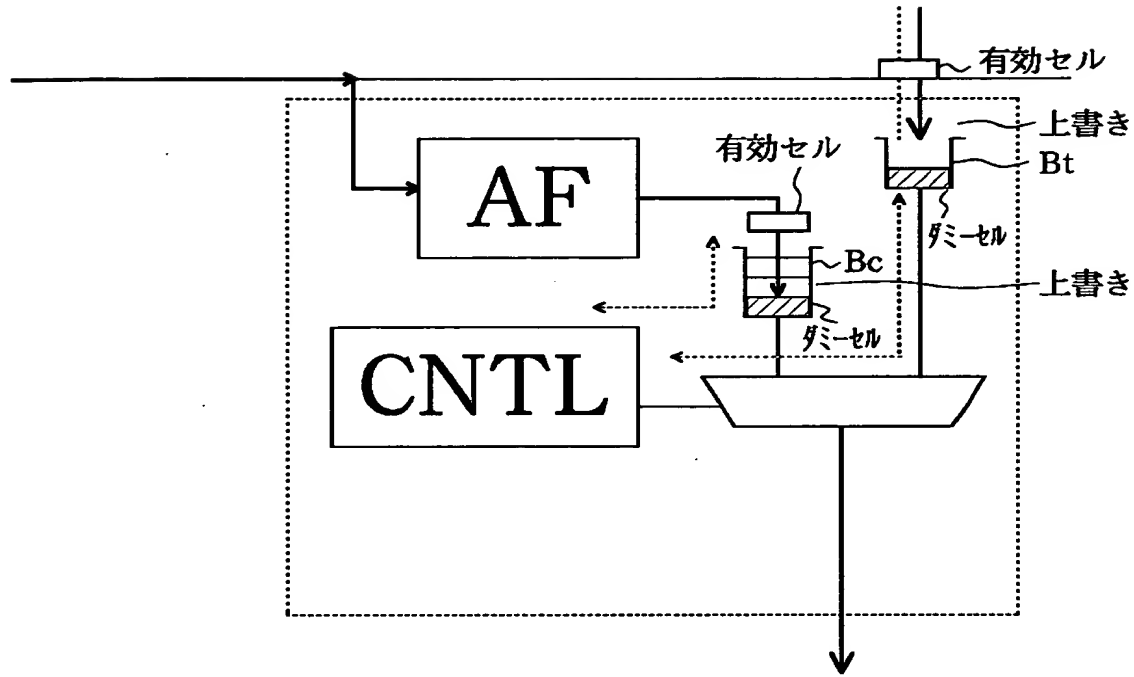
【図 5】



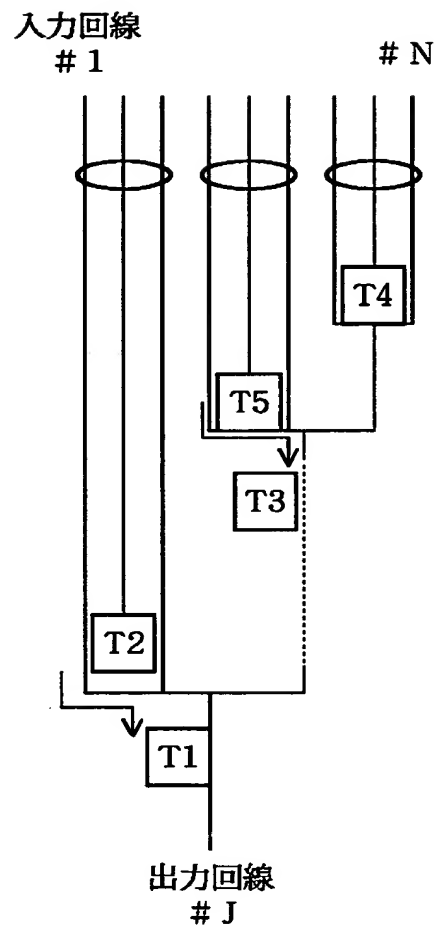
【図6】



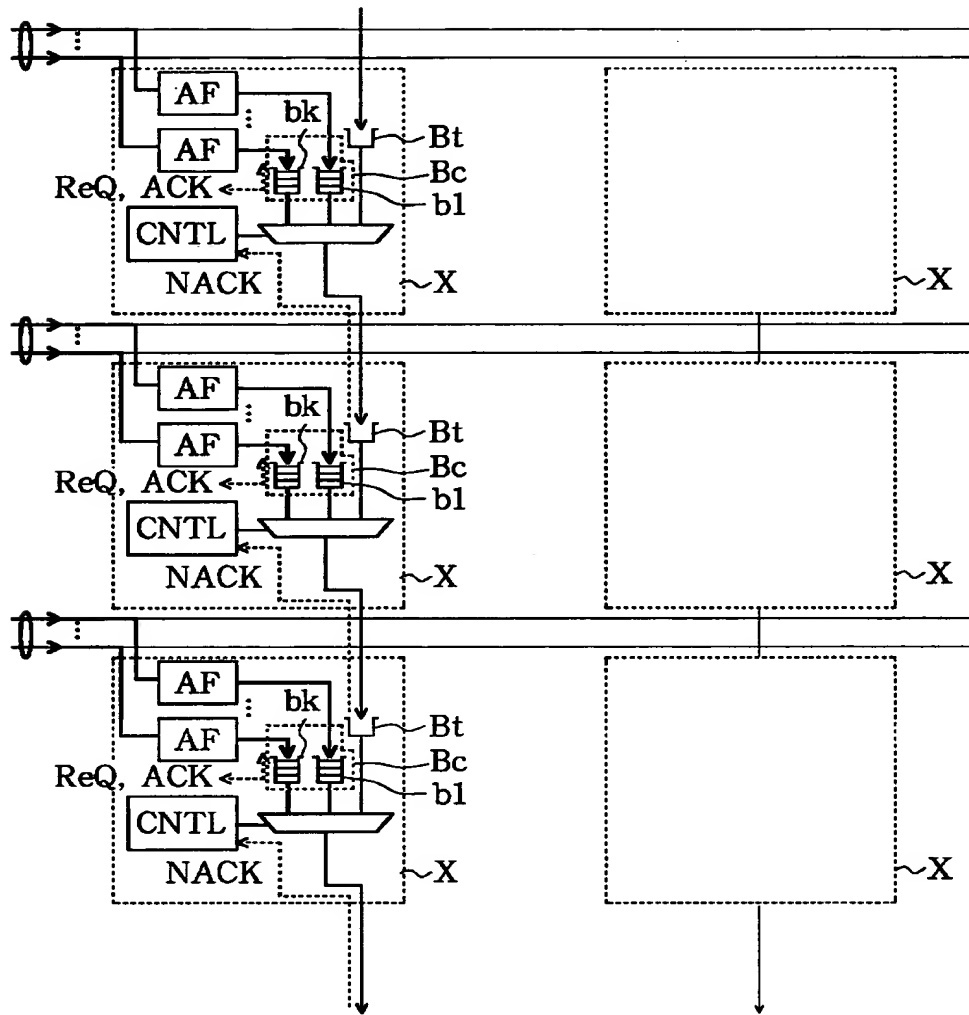
【図 7】



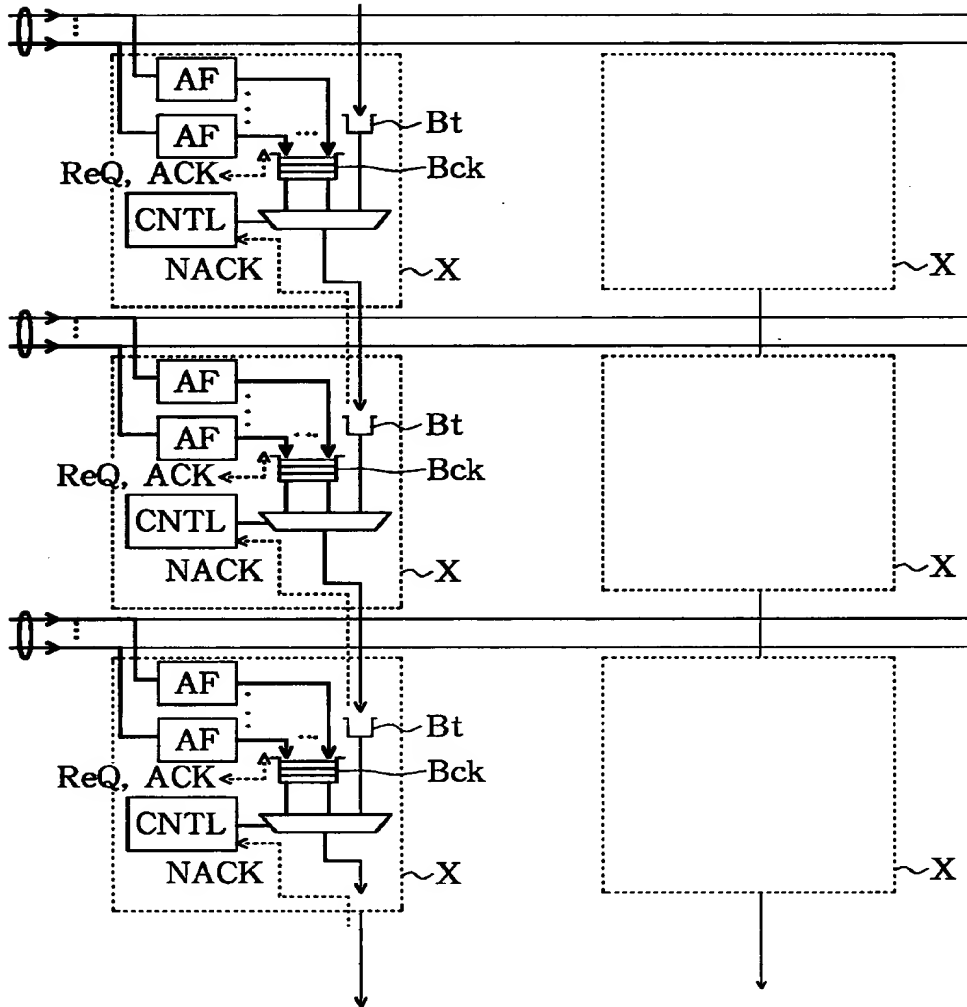
【図 8】



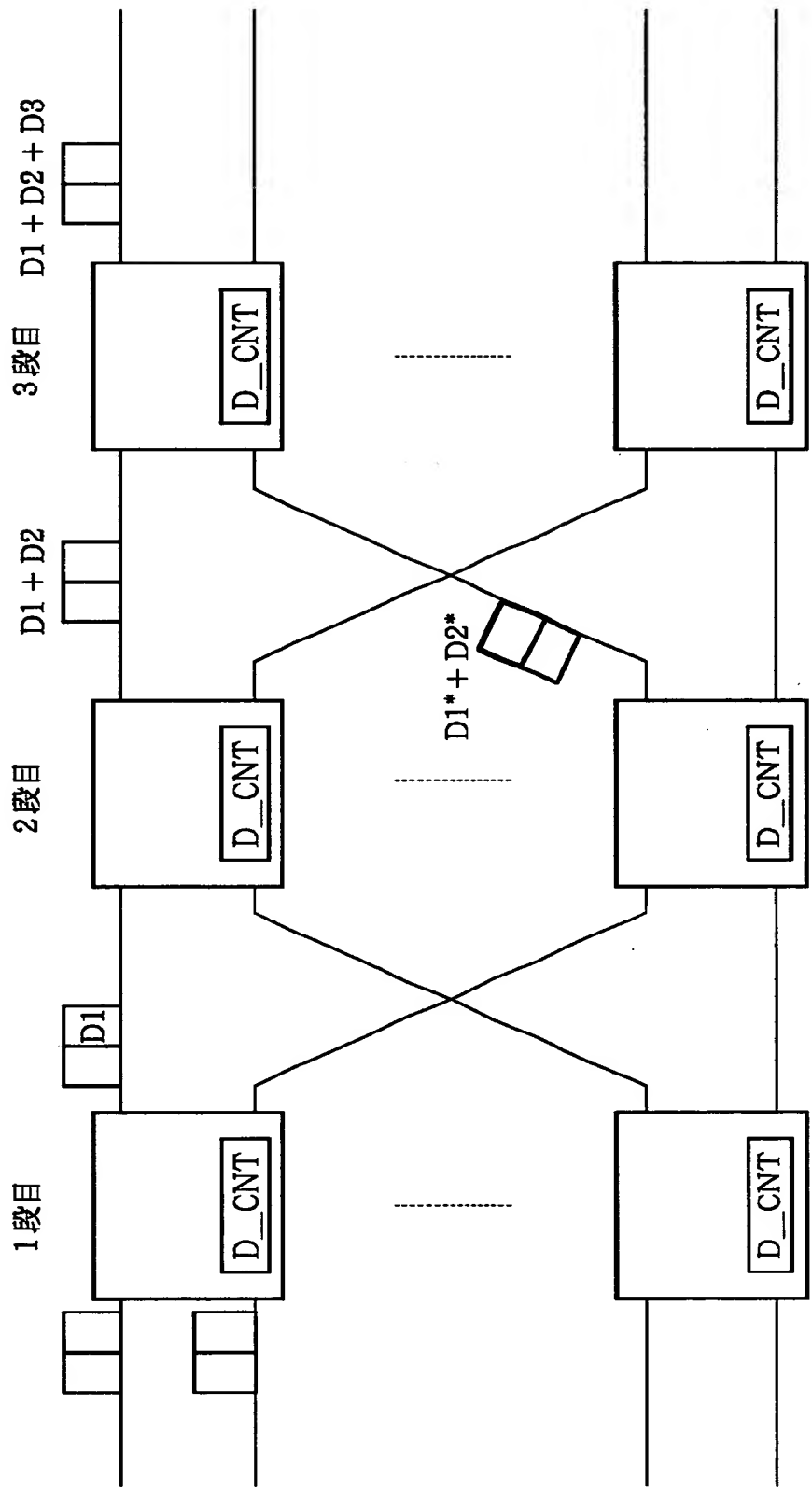
【図9】



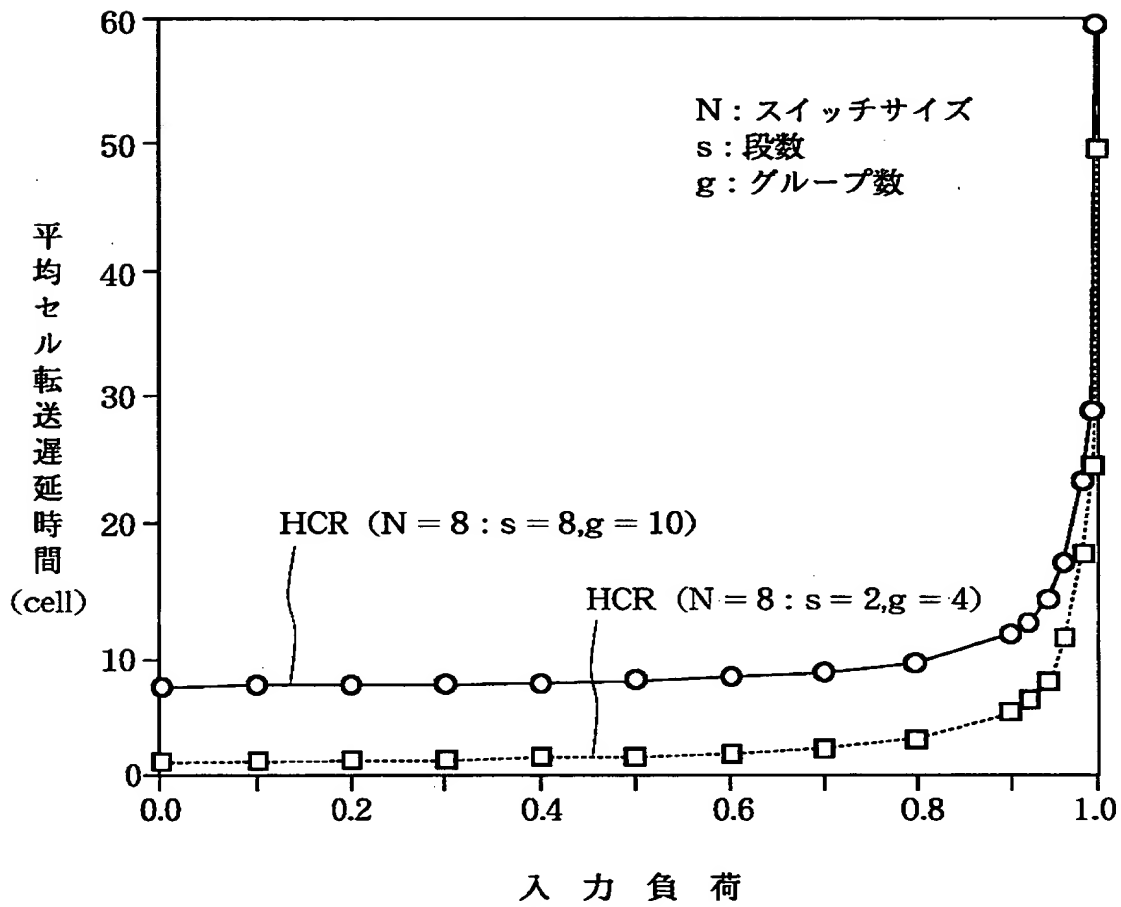
【図 10】



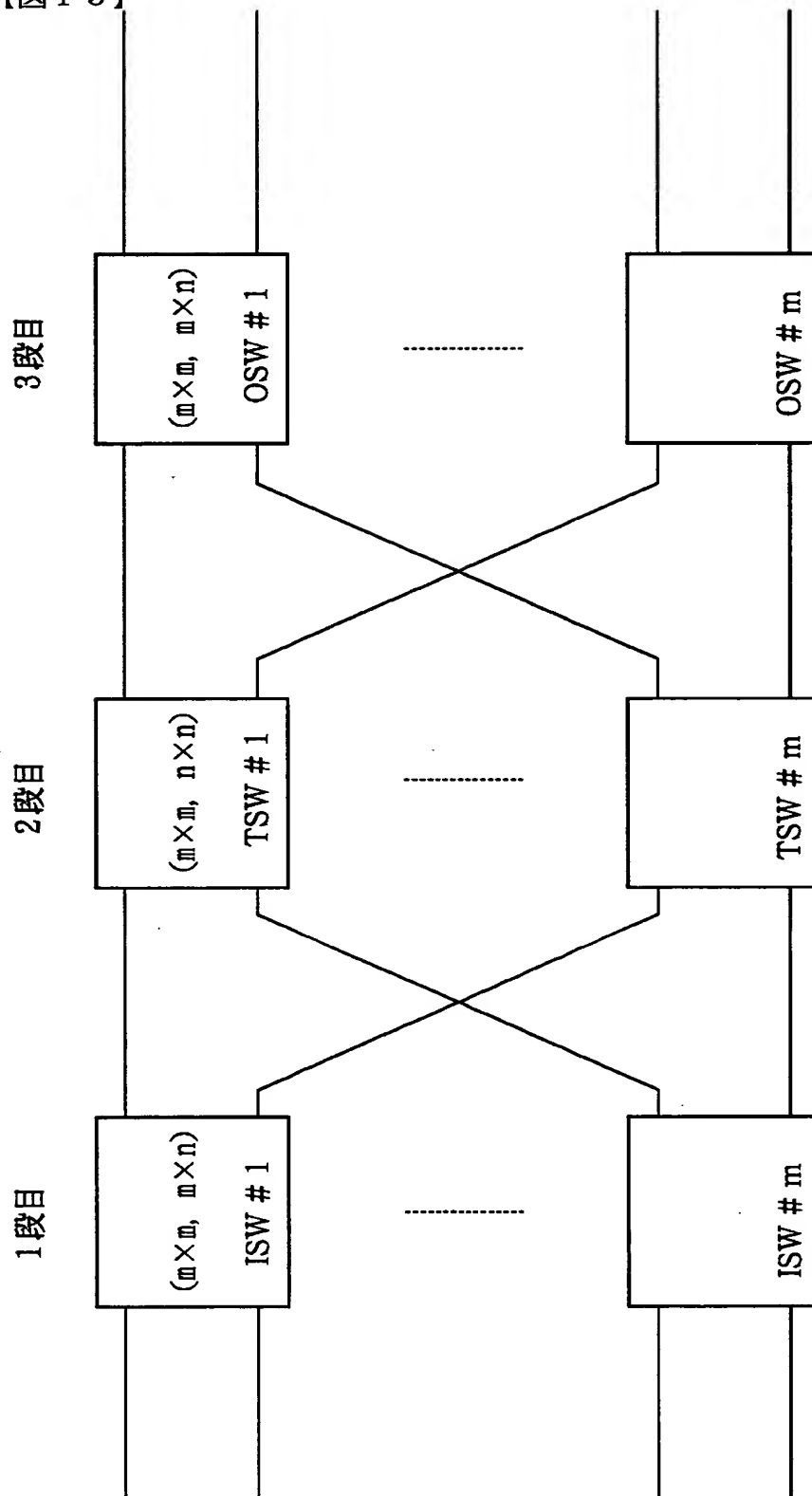
【図 11】



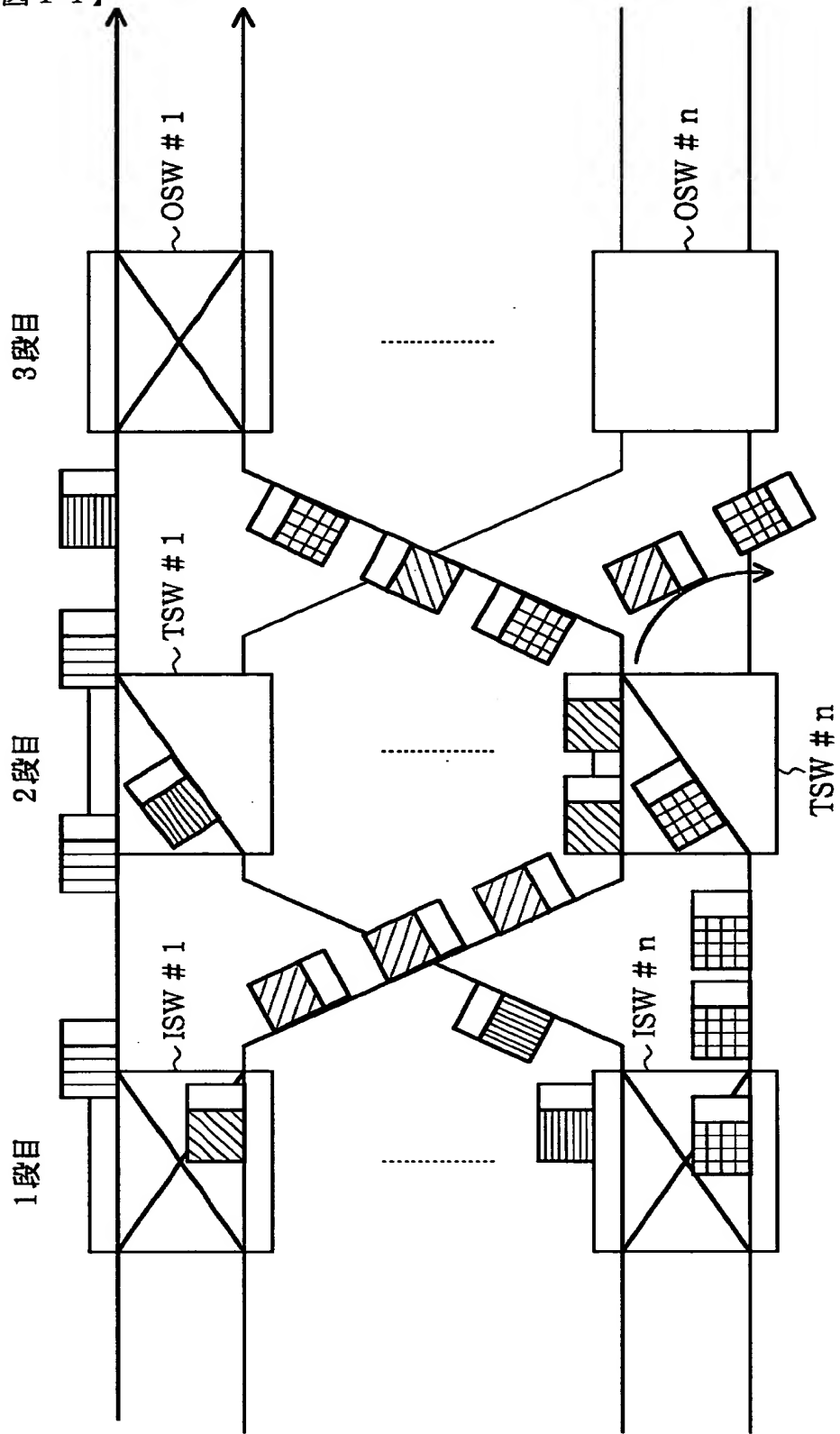
【図 12】



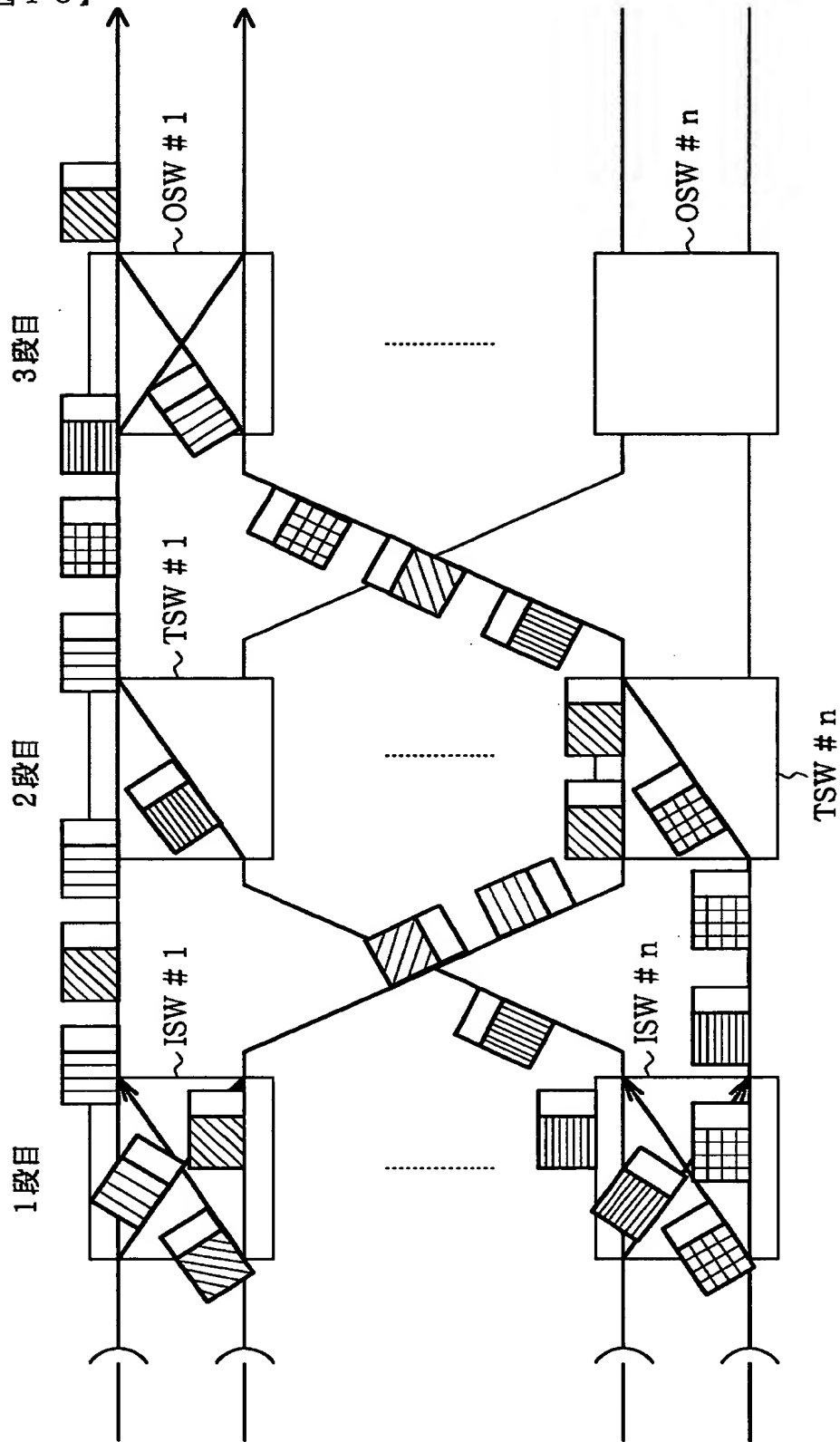
【図 13】



【図 14】



【図 15】



【書類名】 要約書

【要約】

【課題】 多数のルーティング経路に対するソーティングを行うことなく、3段構成の単位スイッチを一つのATMスイッチブロックとし、このATMスイッチブロックを増設することにより大規模ATMスイッチを実現する。

【解決手段】 各ステージに配置された単位スイッチがスイッチ出力方路に対して階層的にセル順序保証を行いながらスイッチングする。さらに単位スイッチ内の階層化されたセル順序保証網をマルチステージ接続すればセル順序保証機能を達成しながら無限にスイッチサイズを拡張できる。

【選択図】 図1

【書類名】

職権訂正データ

【訂正書類】

特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】

000004226

【住所又は居所】

東京都新宿区西新宿三丁目19番2号

【氏名又は名称】

日本電信電話株式会社

【代理人】

申請人

【識別番号】

100078237

【住所又は居所】

東京都練馬区関町北2丁目26番18号

【氏名又は名称】

井出 直孝

【選任した代理人】

【識別番号】

100083518

【住所又は居所】

東京都練馬区関町北2丁目26番18号 井出特許
事務所

【氏名又は名称】

下平 俊直

出 願 人 履 歴 情 報

識別番号 [000004226]

1. 変更年月日 1995年 9月21日
[変更理由] 住所変更
住 所 東京都新宿区西新宿三丁目19番2号
氏 名 日本電信電話株式会社
2. 変更年月日 1999年 7月15日
[変更理由] 住所変更
住 所 東京都千代田区大手町二丁目3番1号
氏 名 日本電信電話株式会社